
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 1020020013195 A
(43)Date of publication of application: 20.02.2002

(21)Application number: 1020000046677
(22)Date of filing: 11.08.2000

(71)Applicant: SAMSUNG ELECTRONICS CO., LTD.
(72)Inventor: CHOI, GYU WAN

(51)Int. Cl H01L 21/3213

(54) METHOD FOR FORMING GATE PATTERN OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A method for forming a gate pattern of a semiconductor device is provided to prevent silicon atoms of a polysilicon layer from being diffused to a silicide layer and to prevent a void inside the polysilicon layer, by forming a polysilicon layer spacer on the sidewall of a gate pattern and by performing a heat treatment process regarding the polysilicon layer spacer.

CONSTITUTION: A gate oxide layer is formed on a semiconductor substrate(100). A doped polysilicon layer is formed on the gate oxide layer. The silicide layer is formed on the polysilicon layer. The silicide layer, the polysilicon layer and the gate oxide layer are sequentially patterned to form a gate pattern(107). A polysilicon spacer(109a) is formed on both sidewalls of the gate pattern. A heat treatment is performed regarding the resultant structure having the spacer to form a thermal oxide layer covering the gate pattern and the semiconductor substrate.

© KIPO 2002

Legal Status

Final disposal of an application (application)

특2002-0013195

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.⁷

(11) 공개번호 특2002-0013195

H01L 21/3213

(43) 공개일자 2002년02월20일

(21) 출원번호 10-2000-0046677

(22) 출원일자 2000년08월11일

(71) 출원인 삼성전자 주식회사 윤종용

(72) 발명자 경기 수원시 팔달구 매탄3동 416 최규완

(74) 대리인 경기도수원시팔달구영통동970-3번지주공APT905동1403호 임창현, 권혁수

심사청구 : 없음

(54) 반도체 장치의 게이트 패턴 형성 방법

요약

본 발명은 반도체 장치의 게이트 패턴 형성 방법에 관한 것으로, 반도체 기판 상에 게이트 산화막, 도핑된 폴리실리콘막, 텅스텐 실리사이드막 및 캡핑절연막을 차례로 형성한 후 패터닝하여 게이트 패턴을 형성한다. 게이트 산화막의 일부를 습식 식각하여 게이트 패턴의 하단에 언더컷을 형성한다. 언더컷이 형성된 게이트 패턴의 양측벽에 폴리실리콘 스페이서를 형성한다. 게이트 패턴을 포함하는 반도체 기판을 열산화시켜 게이트 패턴 및 반도체 기판을 덮는 열산화막을 형성한다. 이와 같은 방법에 의하면, 열산화막 형성시 폴리실리콘막 내부의 실리콘 원자가 실리사이드막으로 확산하는 것을 방지할 수 있다.

도면

도2a

명세서

도면의 간단한 설명

도 1a 내지 도 1d는 종래 기술에 의한 게이트 패턴 형성 방법을 나타내는 단면도들이다.

도 2a 내지 도 2f는 본 발명의 실시예에 의한 게이트 패턴 형성 방법을 나타내는 단면도들이다.

*도면의 주요 부분에 대한 부호의 설명

10, 100 : 반도체 기판
12, 102 : 게이트 산화막
13, 103 : 폴리실리콘막
14, 104 : 실리사이드막
15, 105 : 캡핑절연막
17, 107 : 게이트 패턴
109 : 산화용 폴리실리콘막
109a : 스페이서
19, 110 : 열산화막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 장치의 제조 방법에 관한 것으로, 좀더 구체적으로 반도체 장치의 게이트 패턴 형성 방법에 관한 것이다.

반도체 소자가 고집적화되면서 게이트 패턴의 폭도 감소하고 있다. 이는 게이트 전극의 저항을 증가시켜 트랜지스터의 동작 속도를 저하시키는 원인이 된다. 따라서, 저항이 낮은 도전 물질을 사용하여 게이트 전극을 형성함으로써, 트랜지스터의 동작 속도를 증가시키려는 시도가 진행되고 있다.

최근에는 게이트 전극의 저항을 감소시키기 위한 저저항 물질로 금속과 실리콘의 화합물인 실리사이드(silicide)를 사용하는 추세이다. 실리사이드는 예를 들어, 텅스텐(W), 티타늄(Ti) 및 탄탈륨(Ta) 등으로 형성할 수 있으며, 특히 게이트 전극용으로는 텅스텐 실리사이드(WSi₂)가 주로 사용된다. 실리사이드는 종래의 도핑된 폴리실리콘에 비해 비저항이 낮고, 고온에서 안정한 물질이다. 그러나, 실리사이드막은 실리콘 산화막과의 접착 특성이 나빠기 때문에, 폴리실리콘막과 실리사이드막을 적층시킨 폴리사이드(polycide) 구조로 게이트 전극을 형성한다.

이하, 도 1을 참조하여 종래 기술의 문제점을 설명한다.

도 1a 및 도 1d는 종래 기술에 의한 게이트 형성 방법을 나타내는 단면도들이다.

도 1a를 참조하면, 반도체 기판(10) 상에 게이트 산화막(12), 도핑된 폴리실리콘막(13), 텅스텐 실리사이드막(14) 및 캡핑절연막(15)을 차례로 형성한다.

도 1b 및 도 1c를 참조하면, 캡핑절연막(15), 텅스텐 실리사이드막(14), 폴리실리콘막(13) 및 게이트 산화막(12)을 패터닝하여 게이트 패턴(17)을 형성한다. 따라서, 게이트 패턴(17)은 게이트 산화막 패턴(12a), 폴리실리콘막 패턴(13a), 실리사이드막 패턴(14a) 및 캡핑절연막 패턴(15a)이 차례로 적층된 구조를 갖는다.

패터닝 공정 후에도 게이트 패턴(17) 양옆의 활성 영역 상에 남아있는 게이트 산화막(12b)을 습식 세정 공정으로 제거한다.

도 1d를 참조하면, 게이트 패턴(17)을 포함하는 반도체 기판(10) 전면을 열산화시켜 게이트 패턴(17) 및 반도체 기판(10)을 덮는 열산화막(19)을 형성한다. 이러한 산화 공정의 목적은 다음과 같다. 첫째, 활성 영역의 표면에 존재하는 미온 주입 공정에 의한 손상을 치유하고, 새로운 산화막을 형성하여 기판 표면의 누설 전류를 감소시키기 위한 것이다. 둘째, 게이트 전극의 하단 모서리에 버즈 벡(bird's beak)이 형성 되도록 하여, 게이트 전극의 모서리에 전기장(electric field)이 집중되어 발생하는 캐리어(carrier)들의 열화를 감소시켜 트랜지스터의 특성을 안정화시키기 위한 것이다. 셋째, 실리사이드 표면에 양질의 절연막을 형성함으로써 게이트 전극의 절연 특성을 강화시키기 위한 것이다.

그러나, 이와 같은 종래 기술에 의하면, 열산화 공정에 의해 게이트 패턴(17)을 덮는 열산화막(19)을 형성할 때, 폴리실리콘막(13)의 내부에 보이드가 생성되는 문제가 발생한다. 이는 텅스텐 실리사이드막(14)이 산화되면서 실리사이드막(14) 내부의 실리콘 원자들이 소모된 후 하부 폴리실리콘막(13)의 실리콘 원자들이 실리사이드막(14)으로 확산하기 때문이다.

이를 해결하기 위해, 최근에는 실리사이드막 내에 실리콘 원자의 함유량을 증가시킨 실리콘 리치 실리사이드막(silicon rich silicide)을 형성하는 방법이 제안되었다. 그러나, 실리콘 리치 실리사이드막은 종래의 실리사이드막에 비해 저항이 크다는 문제가 있다.

발명이 이루고자하는 기술적 과제

본 발명은 상술한 제반 문제를 해결하기 위해 제안된 것으로, 폴리사이드 구조의 게이트 전극을 형성할 때 폴리실리콘막 내부에 보이드가 생성되는 것을 방지할 수 있는 게이트 패턴의 형성 방법을 제공하는 데 그 목적이 있다.

발명의 구성 및 작용

(구성)

상술한 목적을 달성하기 위하여 본 발명에 따른 게이트 패턴 형성 방법은, 반도체 기판 상에 게이트 산화막, 도핑된 폴리실리콘막 및 텅스텐 실리사이드막을 차례로 형성한 후 패터닝하여 게이트 패턴을 형성한다. 게이트 패턴의 양측벽에 폴리실리콘 스페이서를 형성한다. 스페이서가 형성된 게이트 패턴을 포함하는 반도체 기판 전면을 열산화시켜 게이트 패턴 및 반도체 기판을 덮는 열산화막을 형성한다.

상기 게이트 패턴을 형성한 후 게이트 산화막의 일부분을 추가로 습식 식각하여 상기 게이트 패턴의 하단 양측에 언더컷을 형성하는 것이 바람직하다.

(실시예)

이하, 도 2를 참조하여 본 발명의 실시예를 상세히 설명한다.

도 2a 내지 도 2g는 본 발명의 실시예에 의한 반도체 장치의 게이트 패턴 형성 방법을 설명하기 위한 단면도들이다.

도 2a를 참조하면, 반도체 기판(100) 전면에 게이트 산화막(102)을 형성한다. 게이트 산화막(102) 상에 폴리실리콘막을 형성한 후 도전형의 불순물 이온, 예를 들어 인(P) 이온을 주입하여 도핑된 폴리실리콘막(103)을 형성한다. 도핑된 폴리실리콘막(103) 상에 실리사이드막(104), 예를 들어 텅스텐 실리사이드막을 형성한다. 텅스텐 실리사이드막은 실리콘 소오스 기체인 SiH_4 와 텅스텐 소오스 기체인 WF_6 을 400 내지 500 °C 온도에서 반응시켜 형성한다. 실리사이드막(104) 상에 캡핑절연막(105)을 형성한다. 캡핑절연막(105)은 예를 들어, CVD 공정에 의한 실리콘 산화막 또는 실리콘 질화막으로 형성한다. 캡핑절연막(105)은 게이트 패턴을 절연시키는 역할을 할 뿐만 아니라 후속 패터닝 공정에서 게이트 패턴을 형성하기 위한 식각 마스크로 사용된다.

도 2b를 참조하면, 캡핑절연막(105) 상에 포토레지스트막(도면에 미도시)을 형성한다. 포토레지스트막을 패터닝하여 게이트 패턴을 정의하는 포토레지스트 패턴을 형성한다. 포토레지스트 패턴을 식각마스크로 사용하여 캡핑절연막(105)을 건식 식각하여 캡핑절연막 패턴(105a)을 형성한다. 캡핑절연막 패턴(105a)을 식각마스크로 사용하여 실리사이드막(104), 폴리실리콘막(103) 및 게이트 산화막(102)을 차례로 건식 식각한다. 그러면, 게이트 산화막 패턴(102a), 폴리실리콘막 패턴(103a), 실리사이드막 패턴(104a) 및 캡핑절연막 패턴(105a)이 차례로 적층된 게이트 패턴(107)이 형성된다.

경우에 따라서는, 포토레지스트 패턴을 식각마스크로 사용하여 캡핑절연막(105), 실리사이드막(104), 폴리실리콘막(103) 및 게이트 산화막(102)을 차례로 식각하여 게이트 패턴(107)을 형성할 수도 있다.

이때, 게이트 산화막(102)을 제거하면서 반도체 기판(100)의 표면에 손상이 가해지는 것을 방지하기 위하여 게이트 산화막(102)은 일부부분만 식각한다. 따라서, 게이트 패턴(107) 양옆의 활성 영역 상에는 게이트

산화막의 일부(102b)가 남아있게 된다.

도 2c를 참조하면, 게이트 패턴(107) 양옆의 활성 영역 상에 잔류하는 게이트 산화막(102b)을 습식 식각으로 제거한다. 습식 식각은 예를 들어, 완충 산화식 식각용액(burffered oxide etchant; BOE)을 사용한다.

여기서, 게이트 패턴(107)의 하부를 구성하는 게이트 산화막 패턴(102a)의 일부분을 추가로 습식 식각하여, 게이트 패턴(107)의 하단 양측에 언더컷(108)을 형성하는 것이 바람직하다. 그러면, 산화막을 형성하는 후속 공정에서 게이트 산화막(102a)과 폴리실리콘막(103a)의 경계 부위에 버즈 벡 현상이 발생하므로, 폴리실리콘막(103a)의 하단 모서리에 전계가 집중되는 것을 감소시킬 수 있다.

도 2d 및 도 2e를 참조하면, 언더컷(108)이 형성된 결과를 전면에 스페이서를 형성하기 위한 산화용 폴리실리콘막(109)을 형성한다. 산화용 폴리실리콘막(109)을 이방성 식각하여 게이트 패턴(107)의 양측벽에 폴리실리콘 스페이서(109a)를 형성한다.

도 2f를 참조하면, 스페이서(109a)가 형성된 게이트 패턴(107)을 포함하는 반도체 기판(100) 전면을 열처리하여 게이트 패턴(107) 및 반도체 기판(100)을 덮는 열산화막(110)을 형성한다. 열산화막(110)은 예를 들어, 산소 기체 분위기 하에서 800 내지 1000 °C 의 온도로 열처리하여 형성한다.

이와 같은 방법에 의하면, 게이트 패턴(107)의 양측벽에 형성된 폴리실리콘 스페이서(109a)가 산화되어 열산화막(110)이 형성되므로, 실리콘사이드막(104) 내부의 실리콘 원자는 소모되지 않는다. 따라서, 폴리실리콘막(103) 내부의 실리콘 원자들이 실리콘사이드막(104)으로 확산하는 것을 방지할 수 있게 된다.

발명의 효과

본 발명은 폴리사이드로 형성된 게이트 패턴의 측벽에 폴리실리콘막 스페이서를 형성한 후 열산화시킴으로써, 폴리실리콘막의 실리콘 원자가 실리콘사이드막으로 확산하는 것을 방지할 수 있다. 따라서, 폴리실리콘막 내부에 보이드가 생성되는 것을 방지할 수 있고, 우수한 프로파일을 갖는 게이트 패턴을 형성할 수 있다.

(5) 청구의 범위

청구항 1. 반도체 기판 상에 게이트 산화막을 형성하는 단계

게이트 산화막 상에 도핑된 폴리실리콘막을 형성하는 단계;

상기 폴리실리콘막 상에 실리콘사이드막을 형성하는 단계;

상기 실리콘사이드막, 상기 폴리실리콘막 및 상기 게이트 산화막을 차례로 패터닝하여 게이트 패턴을 형성하는 단계;

상기 게이트 패턴의 양측벽에 폴리실리콘 스페이서를 형성하는 단계; 및

상기 스페이서가 형성된 결과를 전면을 열산화시켜 상기 게이트 패턴 및 상기 반도체 기판을 덮는 열산화막을 형성하는 단계를 포함하는 게이트 패턴 형성 방법.

청구항 2. 제 1 항에 있어서,

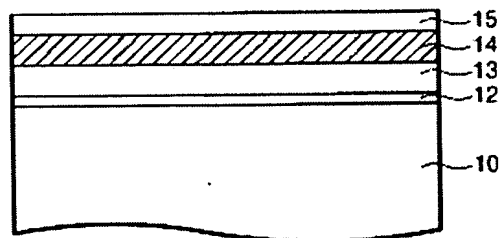
상기 실리콘사이드막은 텅스텐 실리콘사이드막인 것을 특징으로 하는 게이트 패턴 형성 방법.

청구항 3. 제 1 항에 있어서,

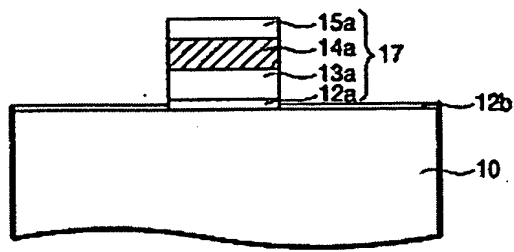
상기 게이트 패턴을 형성한 후에 상기 게이트 산화막의 일부를 추가로 습식 식각하여 상기 게이트 패턴의 하단에 언더컷을 형성하는 단계를 더 포함하는 것을 특징으로 하는 게이트 패턴 형성 방법.

도면

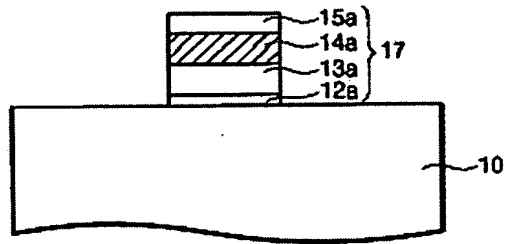
도면 1a



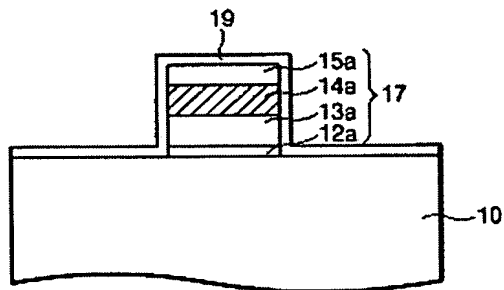
도면 1b



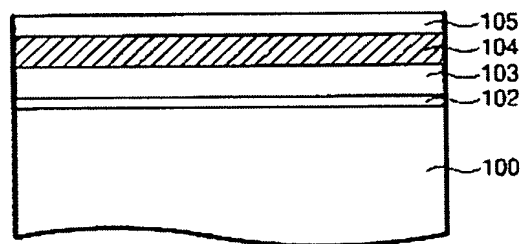
도면 1c



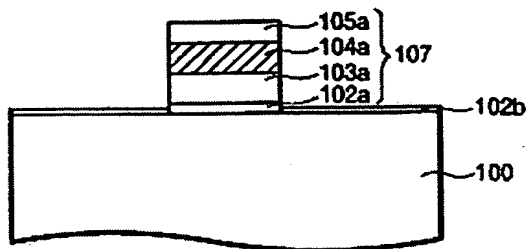
도면 1d



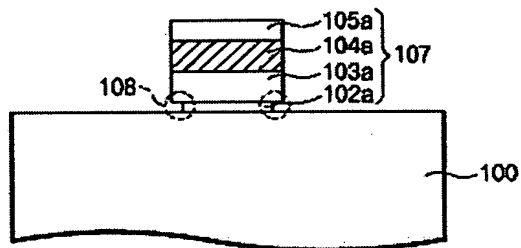
도면 2a



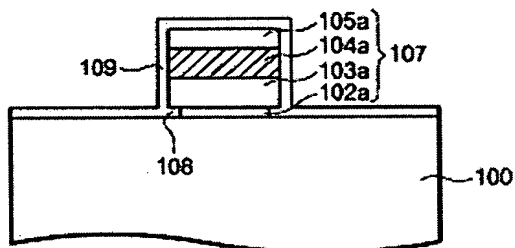
도 2b



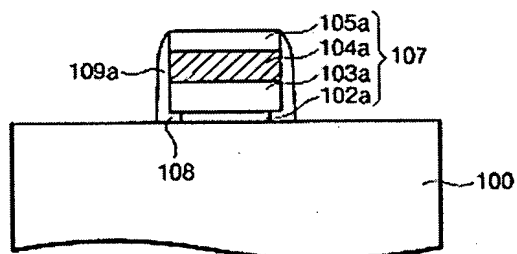
도 2c



도 2d



도 2e



도 28

